

【高速先生原创|生产与高速系列】ALLEGRO 17.2 新功能-合理减少

EQ（二）

作者：肖勇超

一博科技高速先生团队队员

allegro 17.2 新功能-合理减少 EQ（二）

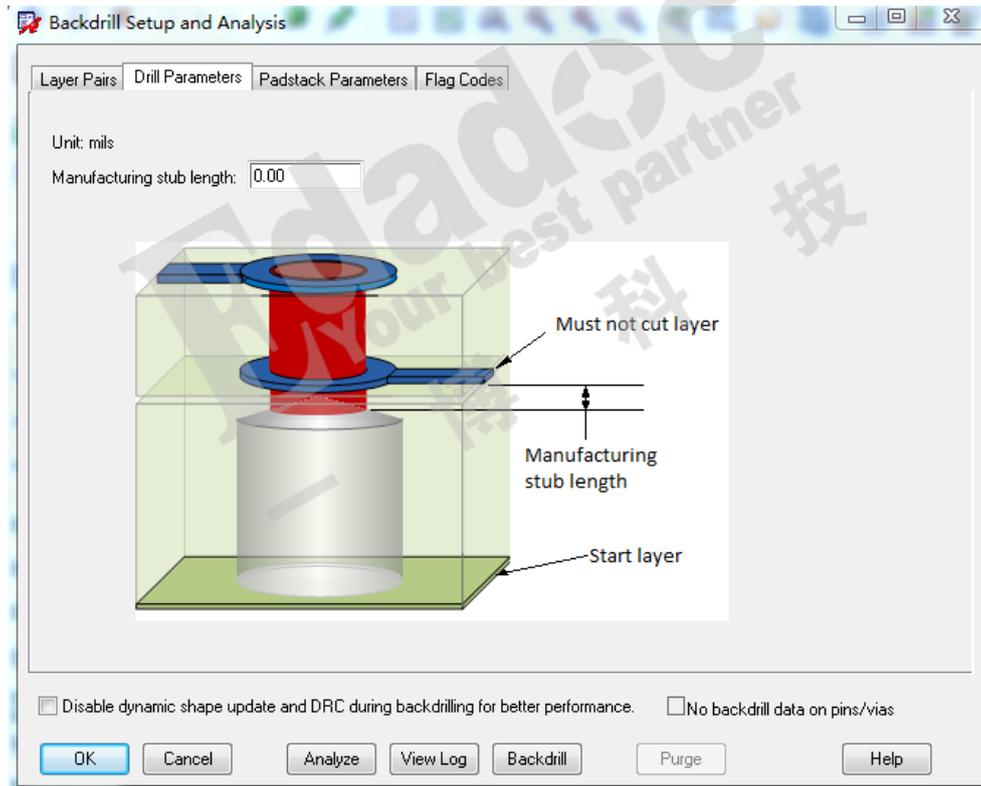
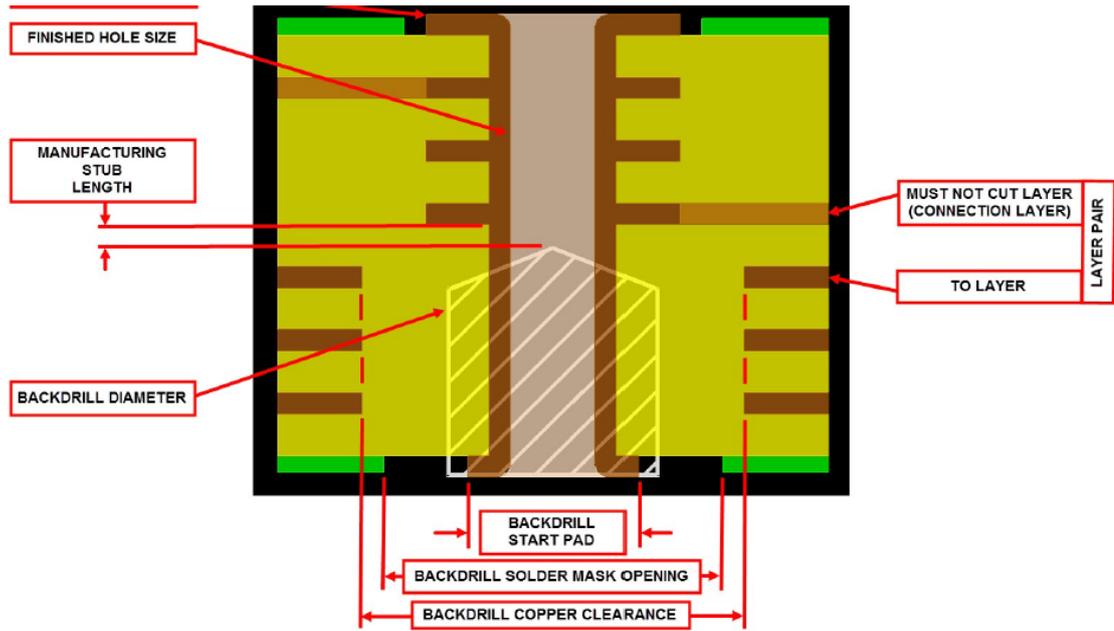
良好的设计以加工工艺为基本原则，优先保证产品的可靠性。可靠性的实现基于对生产工艺的理解和判断，allegro 17.2 在 DFX 检查方面可以给工程师有力的保障。在大型的单板设计中实际应用效果都很突出，可以减少设计中的失误，确保设计过程的准确以及有效，极大的提高我们的信心，保证设计一次成功。

最新的 allegro 17.2 集成了布线细节自动检查，包括了多达 2000 条的设计细节规则和高速领域关键设计规则，同时还可以进行整板的阻抗检查及耦合情况分析，它还集成了 DFM 细节检查，这些功能将极大的减少 EQ 工程师检查 PCB 制程工艺方面的工作量，减少疏漏，提升 PCB 设计一次性通过的概率，极大提升了设计效率。例如：背钻优化，背钻会在需要钻的层上面直接加上扩大的禁布区，可以在封装里面进行背钻孔的设置，而且会把所有背钻种类列出来然后根据需要选择，使设置背钻更为简洁。如下图所示，背钻会像钻孔的一样，生成可视化的图形，便于检查，同时可以自己自定义参数。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





而allegro17.2版本最大改善之一是再次修改完善DFX检查功能，使可加工性检查更加方便，将低级的生产加工问题进行提前规避。以往layout设计对于下述检查项更多是依靠人工检查或者valor检查，将带有完整信息的修改意见回传给设计工程师进行整改，双方都需要时间响应。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



但是在最新的17.2版本，加工工艺问题也可以像阻抗间距一样设置规则来检查。在规则管理器中，新增加Manufacturing层可设置规则约束如下所示：

Name	Text	Line	Shape	Via	Smd Pin
Constraint set usage	Etch	Etch	Etch	Etch	Etch
Outline To					
Trace	20.000	20.000	20.000	30.000	40.000
Shape	20.000	20.000	20.000	30.000	40.000
All pin pads	20.000	20.000	20.000	30.000	40.000
All via pads	20.000	20.000	20.000	30.000	40.000
All non plated holes	20.000	20.000	20.000	30.000	40.000
Cutout					
All Non signal geometry	20.000	20.000	20.000	30.000	40.000
Cutout To					
Trace	20.000	20.000	20.000	30.000	40.000
Shape	20.000	20.000	20.000	30.000	40.000
All pin pads	20.000	20.000	20.000	30.000	40.000
All via pads	20.000	20.000	20.000	30.000	40.000
All non plated holes	20.000	20.000	20.000	30.000	40.000
Cutout					
Outline					
All non signal geometry	20.000	20.000	20.000	30.000	40.000

outline规则设置

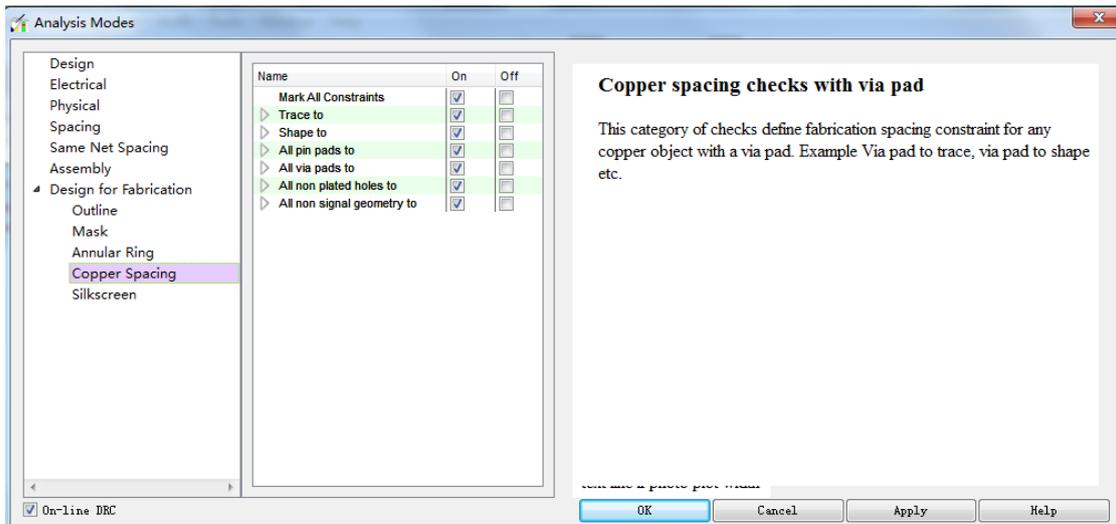
Name	Conductor 4						Plane 4			
	All	TOP	03LAY02	04LAY03	06LAY04	BOTTOM	All	020HD01	05VCC01	070HD02
Referenced DFF CSet	Line	Line	Line	Line	Line	Line	Line	Line	Line	Line
Trace to										
Shape to										
All pin pads to										
All via pads to										
All non plated holes to										
Trace	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000
Shape	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000
All pin pads	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000
All via pads	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000
All non plated hole	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000
All non signal geometry	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000
All non signal geometry to										
Trace	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000
Shape	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000
All pin pads	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000
All via pads	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000
All non plated hole	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000
All non signal geometry	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000	6.000

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



copper spacing



DRC开关

由于设置规则细节和步骤较多，详细的设置DFX规则可根据17.2的help文档设置。

当我们的DFX规则设置完成之后。软件会对违反规则部分进行DRC警示，而且对于不同类型的DRC进行分类整理；同时可通过相应坐标找到相应问题点，对DRC进行可视化审核标记，如下所示：

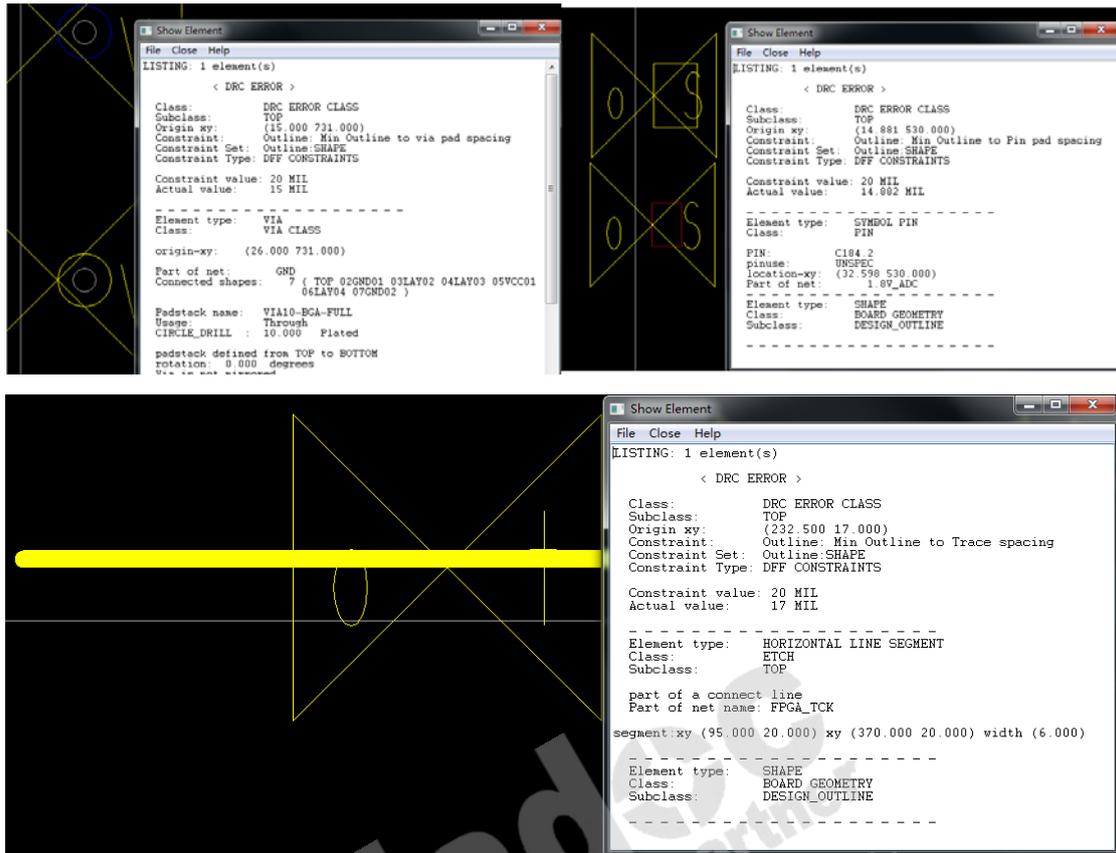
Objects	Constraint Set	DRC Subclass	Values		Object 1	Object 2
			Required	Actual		
test						
Outline: Min Outline to Pin pad spacing (27)						
(13.660 425.000)	Outline:Shape	Top	20 MIL	13.66 MIL	Pin "R29.4 (...	Shape "Board Geometry/Design_Outline"
(14.881 530.000)	Outline:Shape	Top	20 MIL	14.882 MIL	Pin "C184.2...	Shape "Board Geometry/Design_Outline"
(485.000 15.472)	Outline:Shape	06Lay04	20 MIL	15.472 MIL	Pin "J1.1 (F...	Shape "Board Geometry/Design_Outline"
(485.000 15.472)	Outline:Shape	Bottom	20 MIL	15.472 MIL	Pin "J1.1 (F...	Shape "Board Geometry/Design_Outline"
(485.000 15.472)	Outline:Shape	04Lay03	20 MIL	15.472 MIL	Pin "J1.1 (F...	Shape "Board Geometry/Design_Outline"
(485.000 15.472)	Outline:Shape	03Lay02	20 MIL	15.472 MIL	Pin "J1.1 (F...	Shape "Board Geometry/Design_Outline"
(485.000 15.472)	Outline:Shape	Top	20 MIL	15.472 MIL	Pin "J1.1 (F...	Shape "Board Geometry/Design_Outline"
(585.000 15.472)	Outline:Shape	Bottom	20 MIL	15.472 MIL	Pin "J1.3 (F...	Shape "Board Geometry/Design_Outline"
(585.000 15.472)	Outline:Shape	06Lay04	20 MIL	15.472 MIL	Pin "J1.3 (F...	Shape "Board Geometry/Design_Outline"
(585.000 15.472)	Outline:Shape	04Lay03	20 MIL	15.472 MIL	Pin "J1.3 (F...	Shape "Board Geometry/Design_Outline"
(585.000 15.472)	Outline:Shape	03Lay02	20 MIL	15.472 MIL	Pin "J1.3 (F...	Shape "Board Geometry/Design_Outline"
(585.000 15.472)	Outline:Shape	Top	20 MIL	15.472 MIL	Pin "J1.3 (F...	Shape "Board Geometry/Design_Outline"
(685.000 15.472)	Outline:Shape	Bottom	20 MIL	15.472 MIL	Pin "J1.5 (F...	Shape "Board Geometry/Design_Outline"
(685.000 15.472)	Outline:Shape	04Lay03	20 MIL	15.472 MIL	Pin "J1.5 (F...	Shape "Board Geometry/Design_Outline"
(685.000 15.472)	Outline:Shape	03Lay02	20 MIL	15.472 MIL	Pin "J1.5 (F...	Shape "Board Geometry/Design_Outline"
(685.000 15.472)	Outline:Shape	06Lay04	20 MIL	15.472 MIL	Pin "J1.5 (F...	Shape "Board Geometry/Design_Outline"
(785.000 15.472)	Outline:Shape	Bottom	20 MIL	15.472 MIL	Pin "J1.7 (3...	Shape "Board Geometry/Design_Outline"
(785.000 15.472)	Outline:Shape	06Lay04	20 MIL	15.472 MIL	Pin "J1.7 (3...	Shape "Board Geometry/Design_Outline"
(785.000 15.472)	Outline:Shape	04Lay03	20 MIL	15.472 MIL	Pin "J1.7 (3...	Shape "Board Geometry/Design_Outline"
(785.000 15.472)	Outline:Shape	03Lay02	20 MIL	15.472 MIL	Pin "J1.7 (3...	Shape "Board Geometry/Design_Outline"
(785.000 15.472)	Outline:Shape	Top	20 MIL	15.472 MIL	Pin "J1.7 (3...	Shape "Board Geometry/Design_Outline"
(885.000 15.472)	Outline:Shape	03Lay02	20 MIL	15.472 MIL	Pin "J1.9 (F...	Shape "Board Geometry/Design_Outline"
(885.000 15.472)	Outline:Shape	Bottom	20 MIL	15.472 MIL	Pin "J1.9 (F...	Shape "Board Geometry/Design_Outline"
(885.000 15.472)	Outline:Shape	04Lay03	20 MIL	15.472 MIL	Pin "J1.9 (F...	Shape "Board Geometry/Design_Outline"
(885.000 15.472)	Outline:Shape	06Lay04	20 MIL	15.472 MIL	Pin "J1.9 (F...	Shape "Board Geometry/Design_Outline"
(885.000 15.472)	Outline:Shape	Top	20 MIL	15.472 MIL	Pin "J1.9 (F...	Shape "Board Geometry/Design_Outline"
Outline: Min Outline to Trace spacing (2)						
Outline: Min Outline to via pad spacing (50)						

DRC分类

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





DRC展示

同时设置好的DFX规则是支持导入/导出，可设置好万能模板走天下。

总结: 理想情况下, 设计最好能完全避免DFX问题。但是真实的设计条件下, DFX问题一定是存在的。由于不是所有的DFX都会产生致命问题, 所以对检查结果要进行分析 and 判断, 在设计中对成本、性能、时间等做一个最佳的权衡。

【关于一博】

深圳市一博科技股份有限公司（简称一博科技）成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工和供应链服务。我司在中国、美国、日本设立研发机构，全球研发工程师 600 余人。

一博旗下 PCB 板厂位于深圳松岗，采用来自日本、德国等一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海、成都、长沙设立分厂，厂房面积 23000 平米，现有 30 条 SMT 产线，配备全新进口富士 XPF、NXT3、AIMEX III、全自动锡膏印刷机、十温区回流炉、波峰焊等高端设备，并配有 AOI、XRAY、SPI、智能首件测试仪、全自

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



动分板机、BGA 返修台、三防漆等设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。作为国内 SMT 快件厂商，48 小时准交率超过 95%。常备一万余种 YAGEO、MURATA、AVX、KEMET 等全系列阻容以及常用电感、磁珠、连接器、晶振、二三极管，并提供全 BOM 元器件服务。

PCB 设计、制板、贴片、物料一站式硬件创新平台，缩短客户研发周期，方便省心。

EDADOC, Your Best Partner.

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

